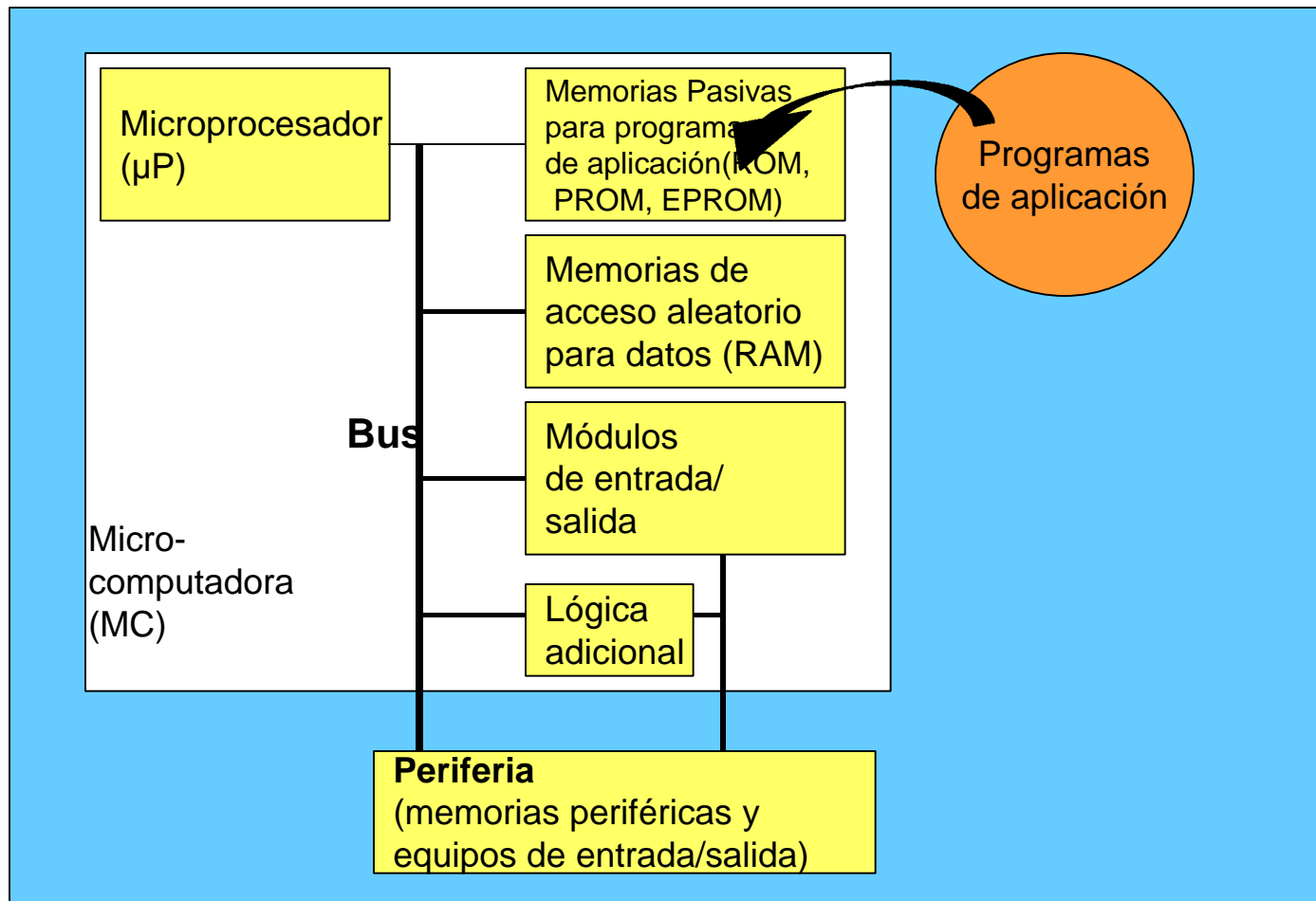


CURSO DE MICROCONTROLADORES

PROGRAMACION E INTERCONEXIONADO DEL μ C-8051

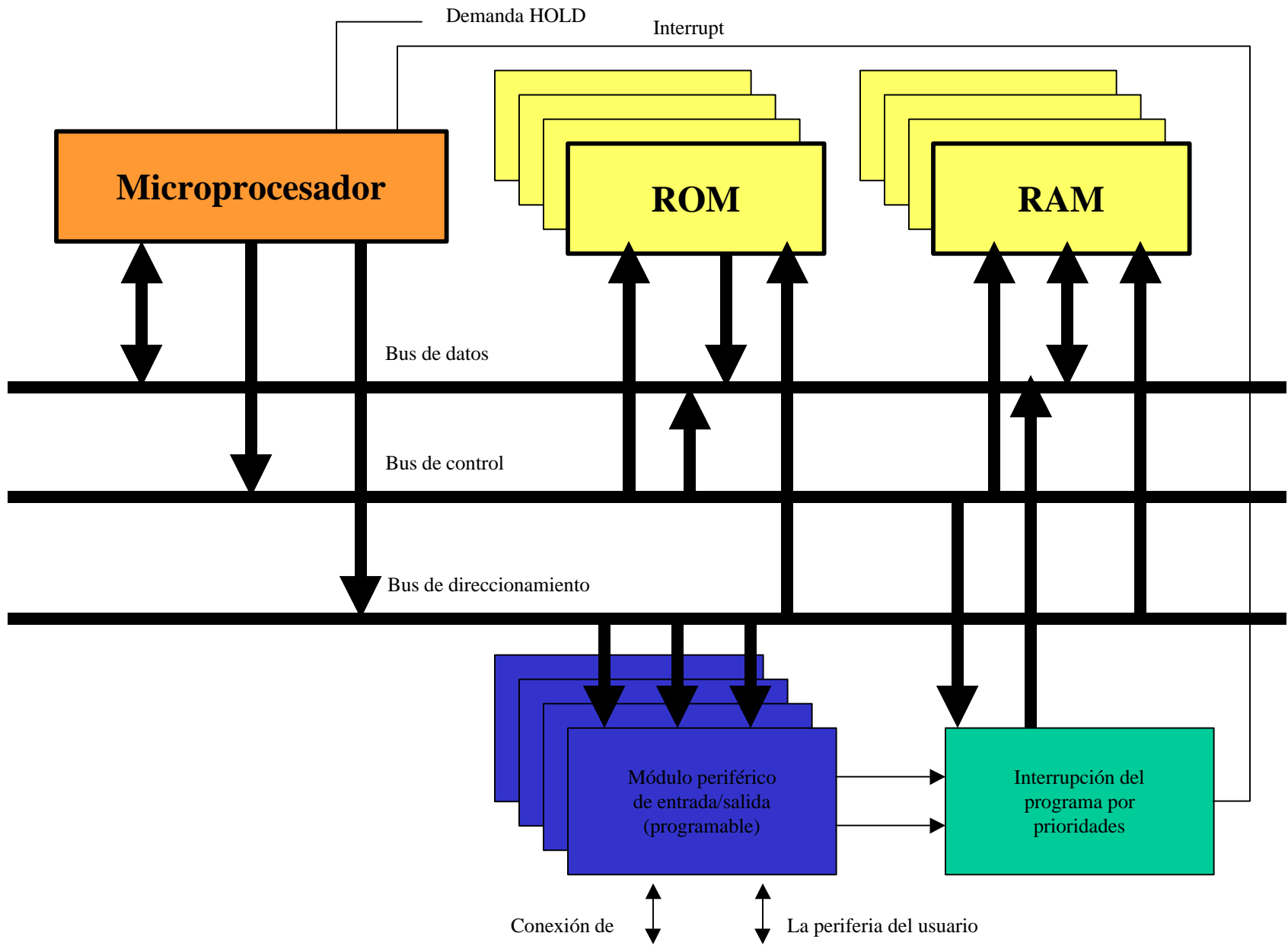
- * INTRODUCCION
- * CARACTERISTICAS DEL 8051
- * ARQUITECTURA DEL 8051
- * TERMINALES DEL 8051
- * REGISTROS INTERNOS DEL 8051
- * MODOS DE DIRECCIONAMIENTO DEL 8051
- * INSTRUCCIONES DEL 8051
- * INTERCONEXIONADO CON CIRC PERIFÉRICOS
- * MANEJO DEL SIMULADOR DEL 8051

¿QUE ES
UN
MICROCONTROLADOR?

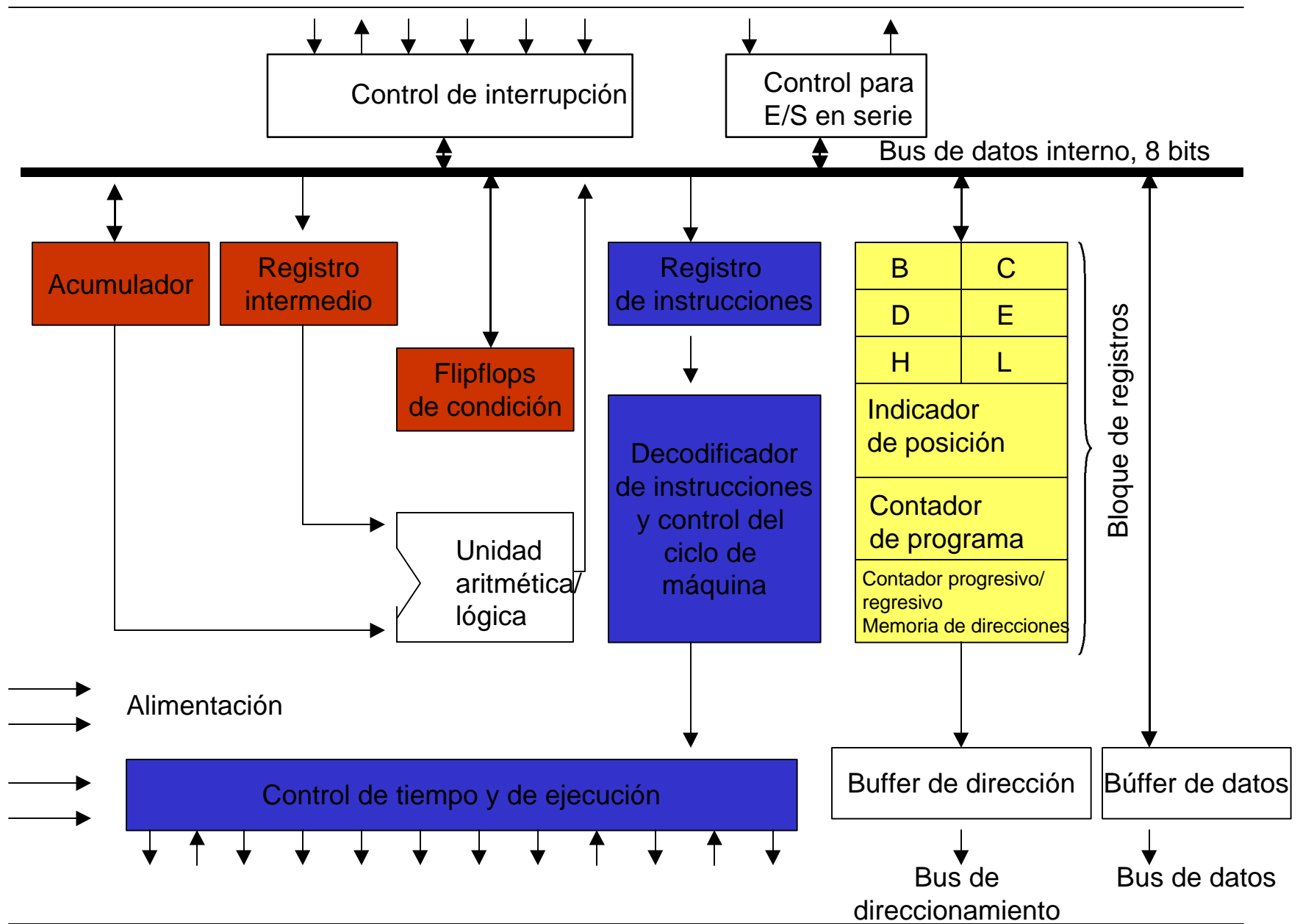


Hardware
 Software

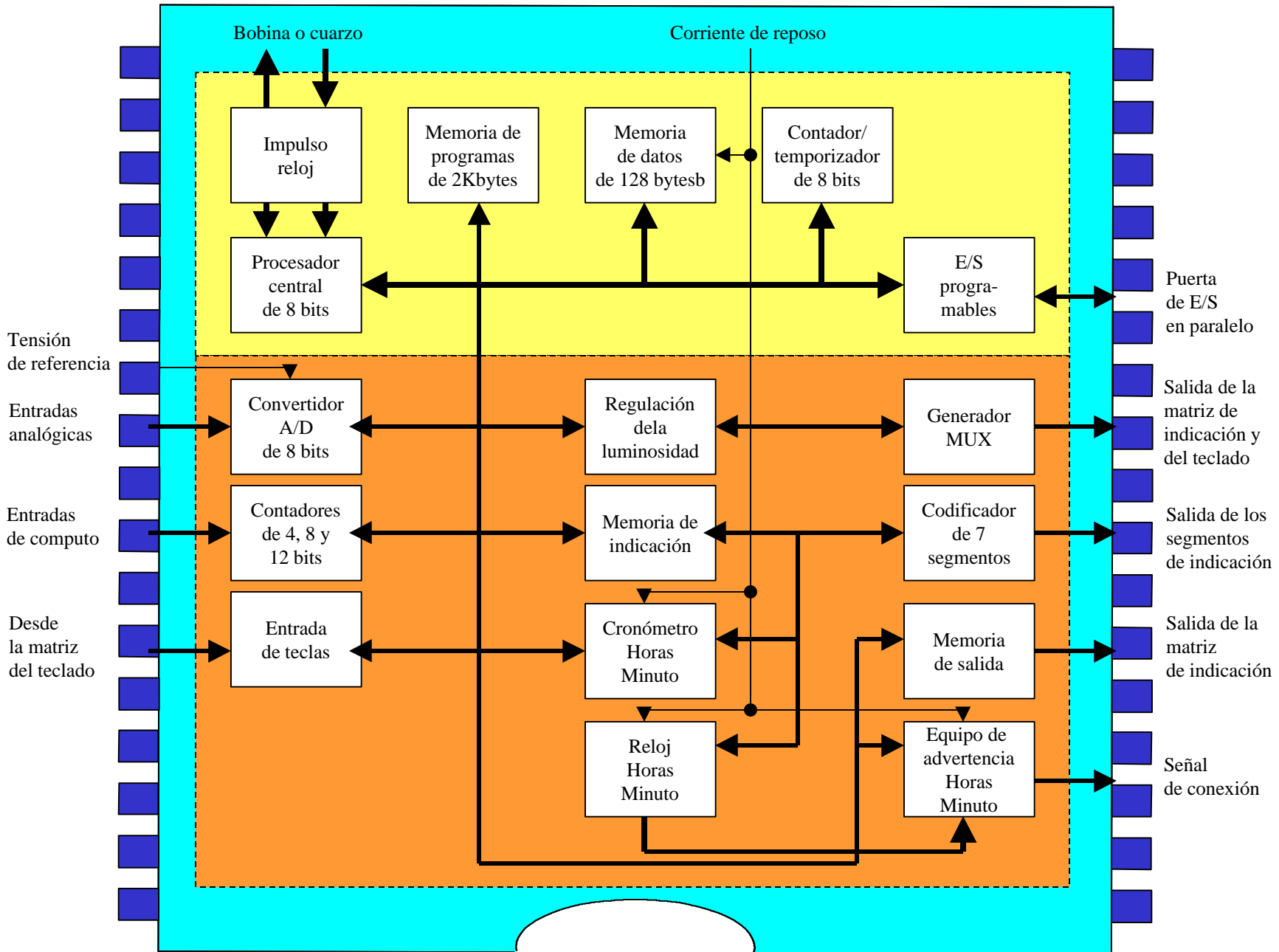
Estructura de un sistema de microcomputadoras (MCS)

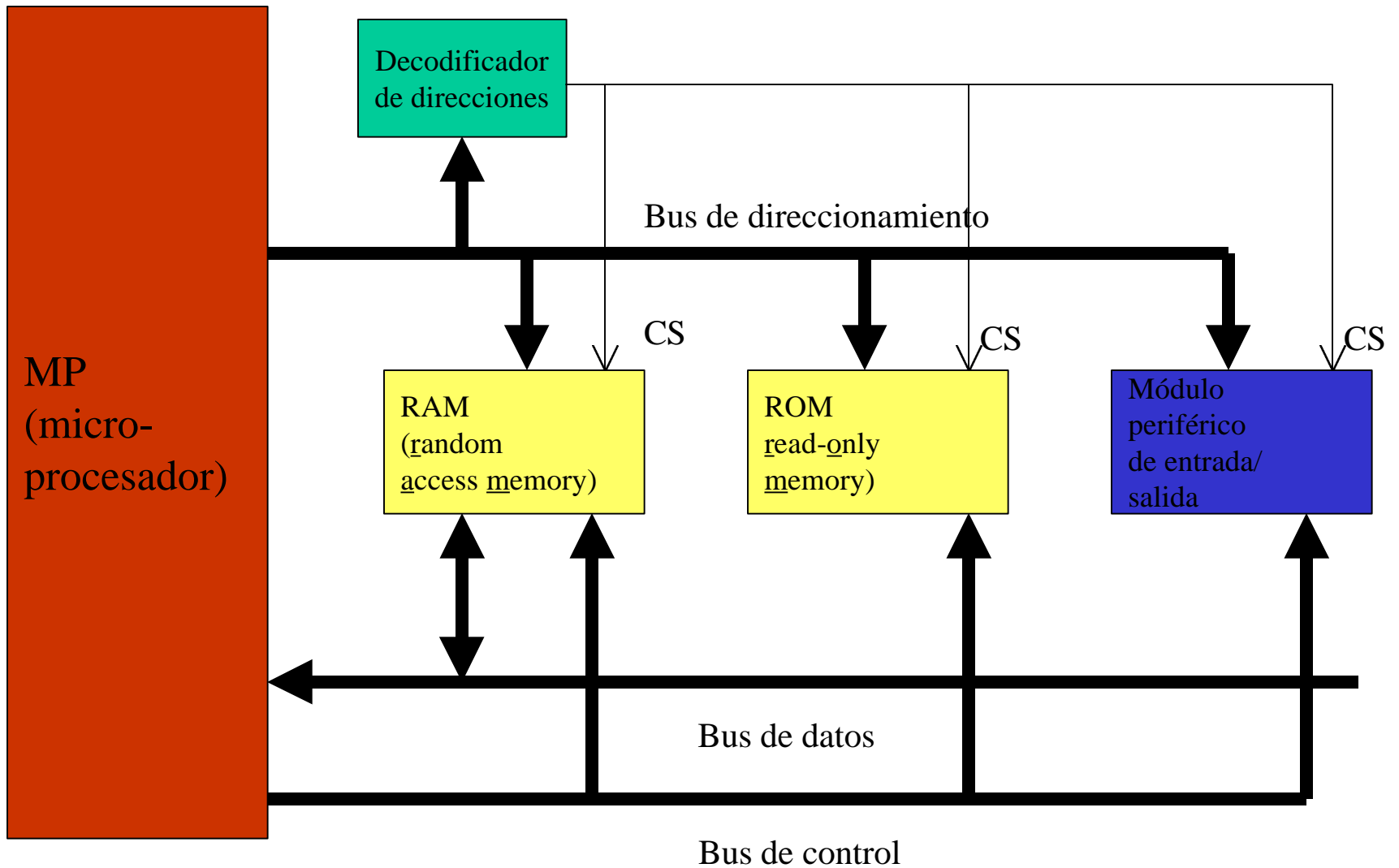


Configuración técnica de los módulos en una microcomputadora completa

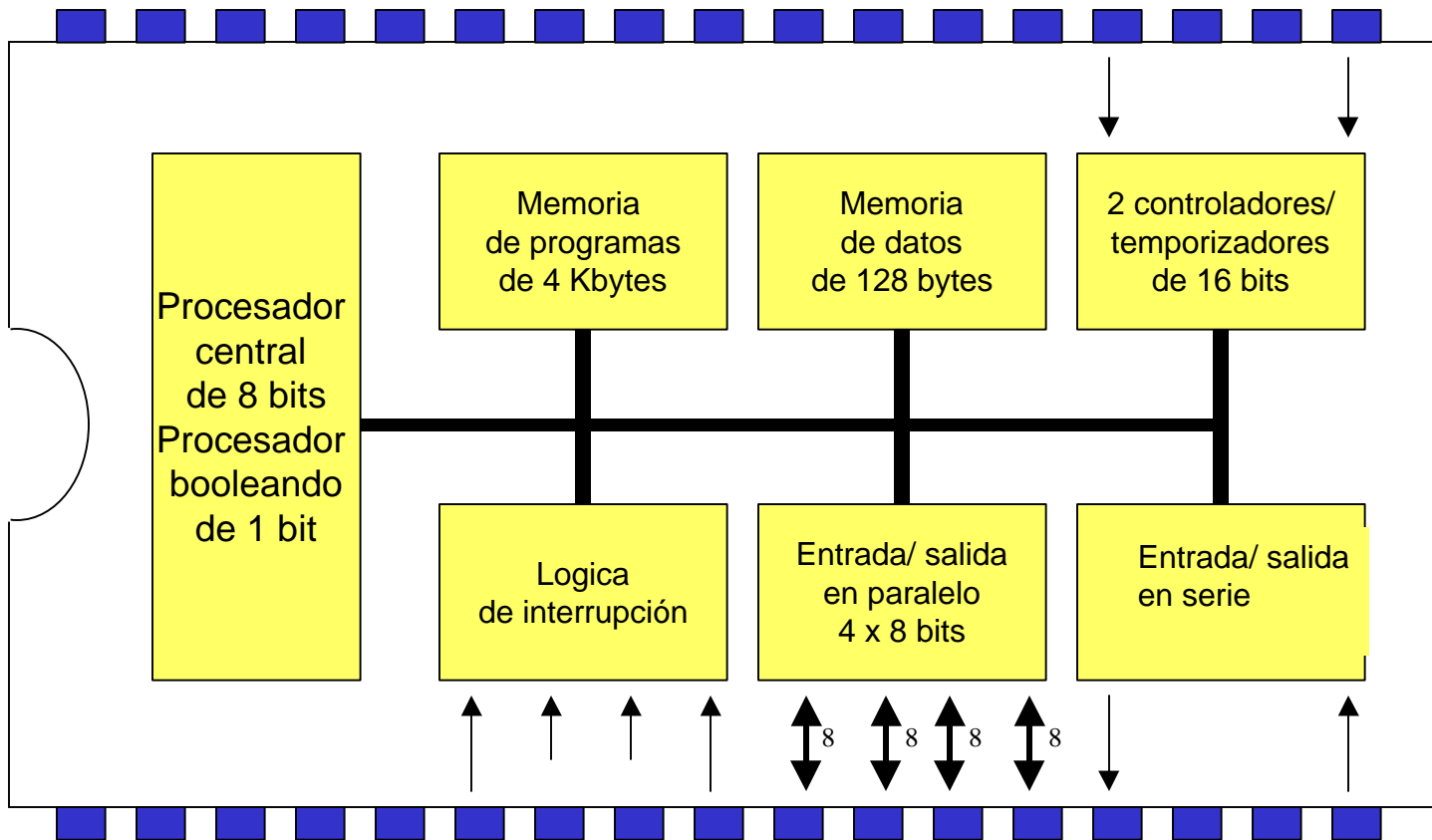


Estructura de un microprocesador tomado como ejemplo el μ P 8085

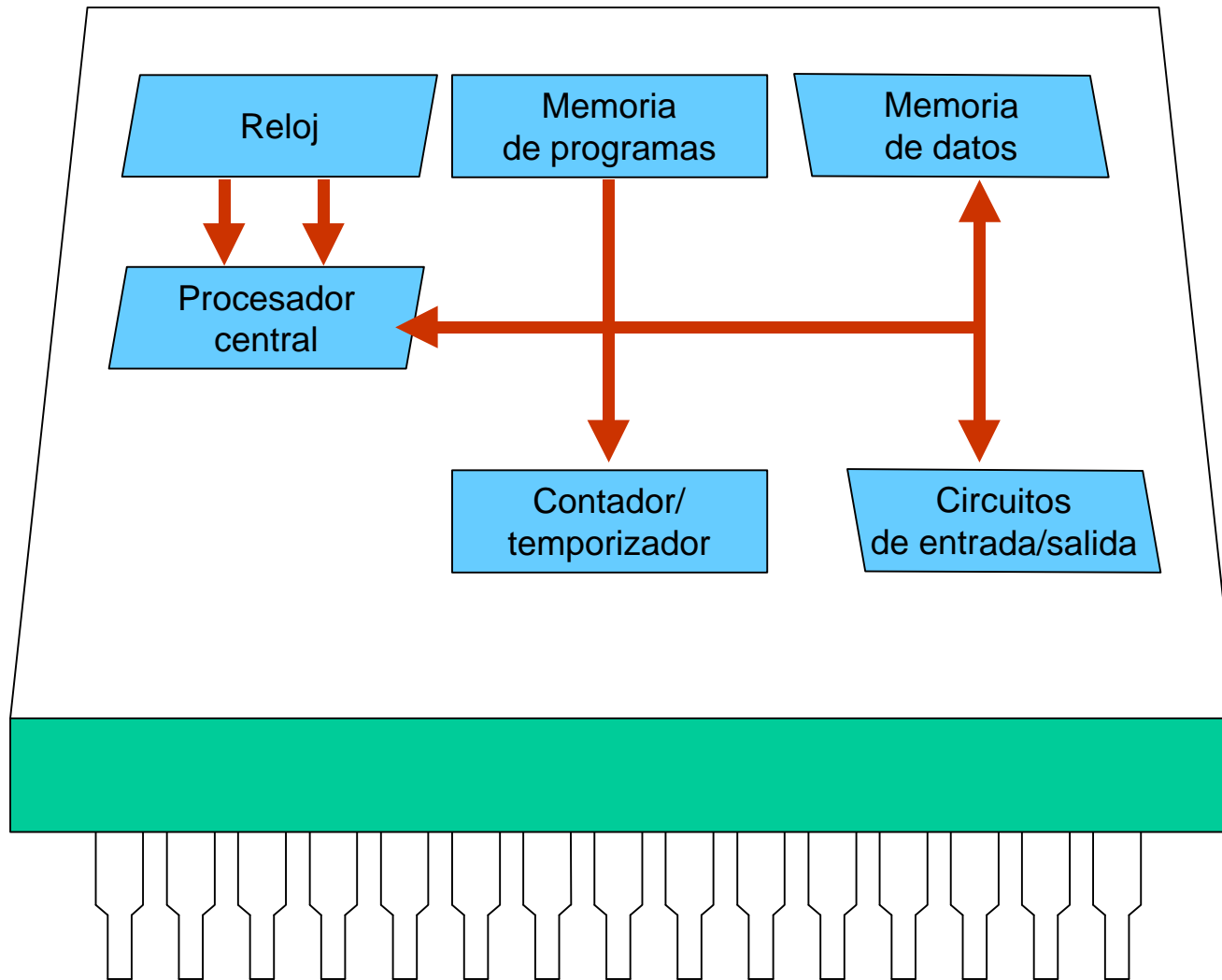




Funcionamiento de la microcomputadora



Esquemas de bloques μP 8051



Sistema de microcomputadora en un chip

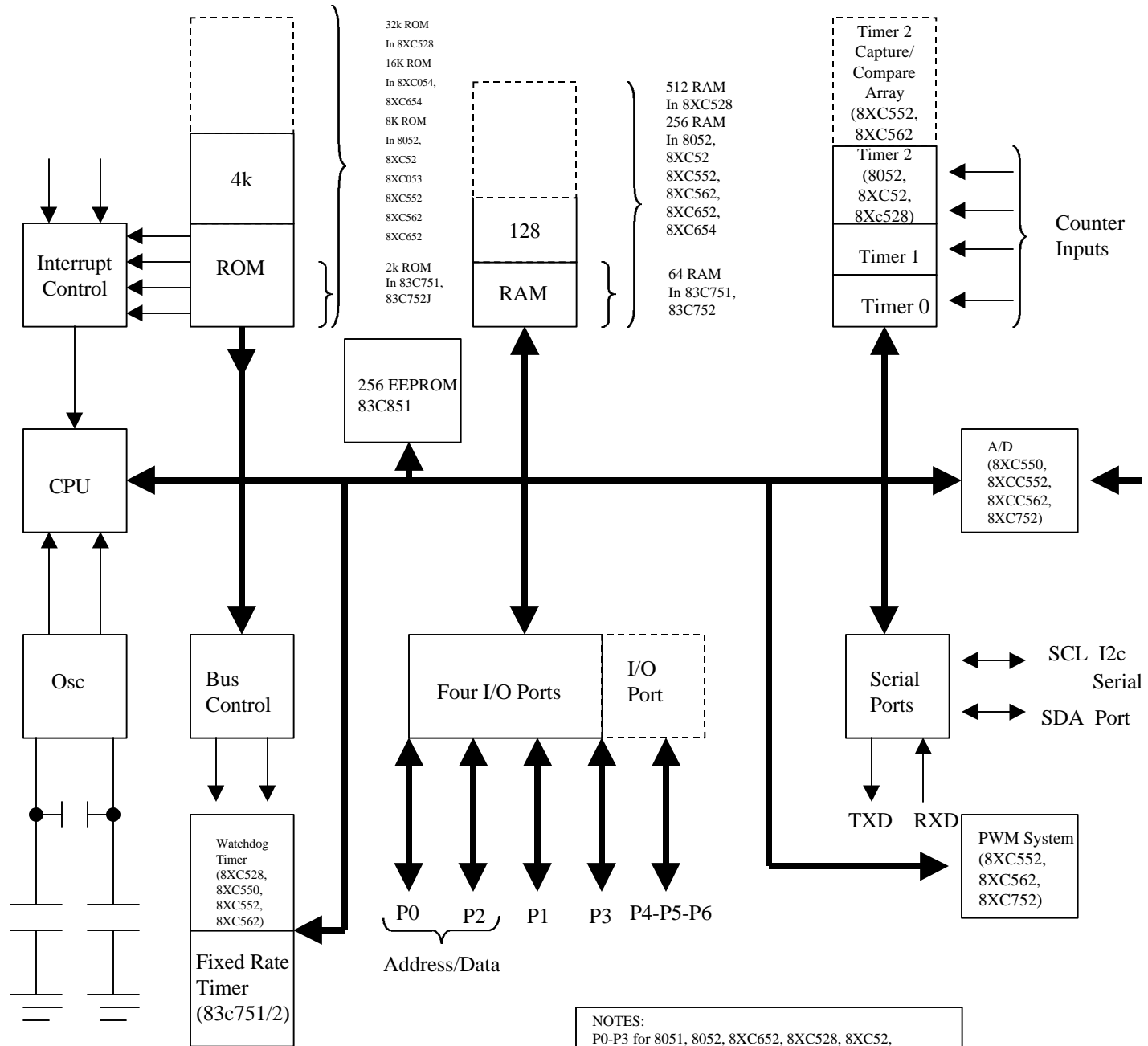
TECHNOLOGY								
Model	ram	rom	addr	SI/O	PI/O	C/T	int.	width
		bytes						
ADVENACED MICROSYSTEM								
80C521	256	8K	64K	1	32	2,16bit	2	8
DALLAS SEMICONDUCTOR								
DS6000T	8-54K	4K	128K	1	32	2,16bit	6	8
HITACHI EUROPE LTD								
63L05F1	96	4K			20	1,8bit	6	8
HD647180	512	16K	1M	3	54	3,16bit	15	8
H8/532	1K	32K	1M	1	57	5,8bit	7	16
INMOS-LTD								
IMST245	4K		4G	4,links		2,32bit	2	32
IMST222	4K		64K	4,links		2,16bit	2	1
IMSM212	2K	4K	64K	4		2,16bit	2	16
INTEL CORPORATION (UK) LTD								
80C512	256	8K	128K	1, uart	56	2,16bit	2	8
80196KA	232	8K	64K	1, uart	40	4,16bit	16	16
80C51BH	128	4K	64K	uart	32	2,16bit	2	8
87C51	128	4K	64K	uart	2	2,16bit	2	8
8096BH	232	8K	64K	uart	40	6,16bit	8	16
80C1196KB	232	8K	64K	uart	40	6,16bit	16	16
MITSUBISHI ELECTRONIC (UK) LTD								
M50747	256	8K	64K	1	56	3,8bit	6	8
M3700M4A	2K	32K	16M	3	68	8,16bit	7	16

MOTOROLA LTD									
68HC05B6	176	6K	8K		1	32	4,16bit	4	8
68HC11E9	512	12K	64K		2	40	8,16bit	17	8
6804P3	124	1.7K			0	20	1,8bit	1	8
146805G2	112	2K	8K		0	32	1,8bit	3	8
68HC05L6	176	6K	8K		1	58	4,16bit	4	
68HC11	256	8K	64K		2	40	8,16bit	17	8
NATIONAL SEMICONDUCTOR (UK) LTD									
COP420	64	1K			1	8	1,10bit	1	4
		digits							
COP888CG	192	4K	32K		2	40	3,16bit	14	8
HPC16083	256	8K	64K	uart		52	8,16bit	8	16
NEC ELECTRONICS UK									
78214	512	16K	64K		1	60	1,16bit	18 *	
78322	640	16K	64K		1	55	1,16bit	19	16
							1,12bit		
ROCKWELL INTERNATIONAL									
R6501	192	-	64K		1	32	2,16bit	10	8
36500/15	192	4K	16K		1	32	2,16bit	10	8
SGS THOMSON MICROELECTRONICS									
ST6041	84	64	3,8K	-		15	5	1	8
Z86E21	240	8K			1	82	2,8bit	48	8
TEXAS INSTRUMENTS LTD									
TMS370	256	4K	112K		2	55	2	2	8
TMS70C48	256	4K	64K		1	54	3	2	8
TMS7000	128	4K	to 64K		0	16	-	2	8
ZILOG UK LTD									
Z86E21	256	8K	120K		1	32	2,14bit	6	8
Z8800	352	8K	128K		1	40	2,16bit	8	8
Z86C11	128	4K	to 120K	uart		82	2,0bit	8	8

FAMILIA DEL 68HC11

NUMERO	ROM	EPROM	RAM	CONF
68HC11A8	8K	512	256	\$0F
68HC11A1	0	512	256	\$0D
68HC11A0	0	0	256	\$0C
68HC11B8	8K	512	256	\$0F
68HC11B1	0	512	256	\$0D
68HC11B0	0	0	256	\$0C
68HC11E9	12K	512	512	\$0F
68HC11E1	0	512	512	\$0D
68HC11E0	0	0	512	\$0C
68HC811E2	0	2K	256	\$FF
68HC11D3	4K	0	192	N/A
68HC11F1	0	512	1K	\$FF

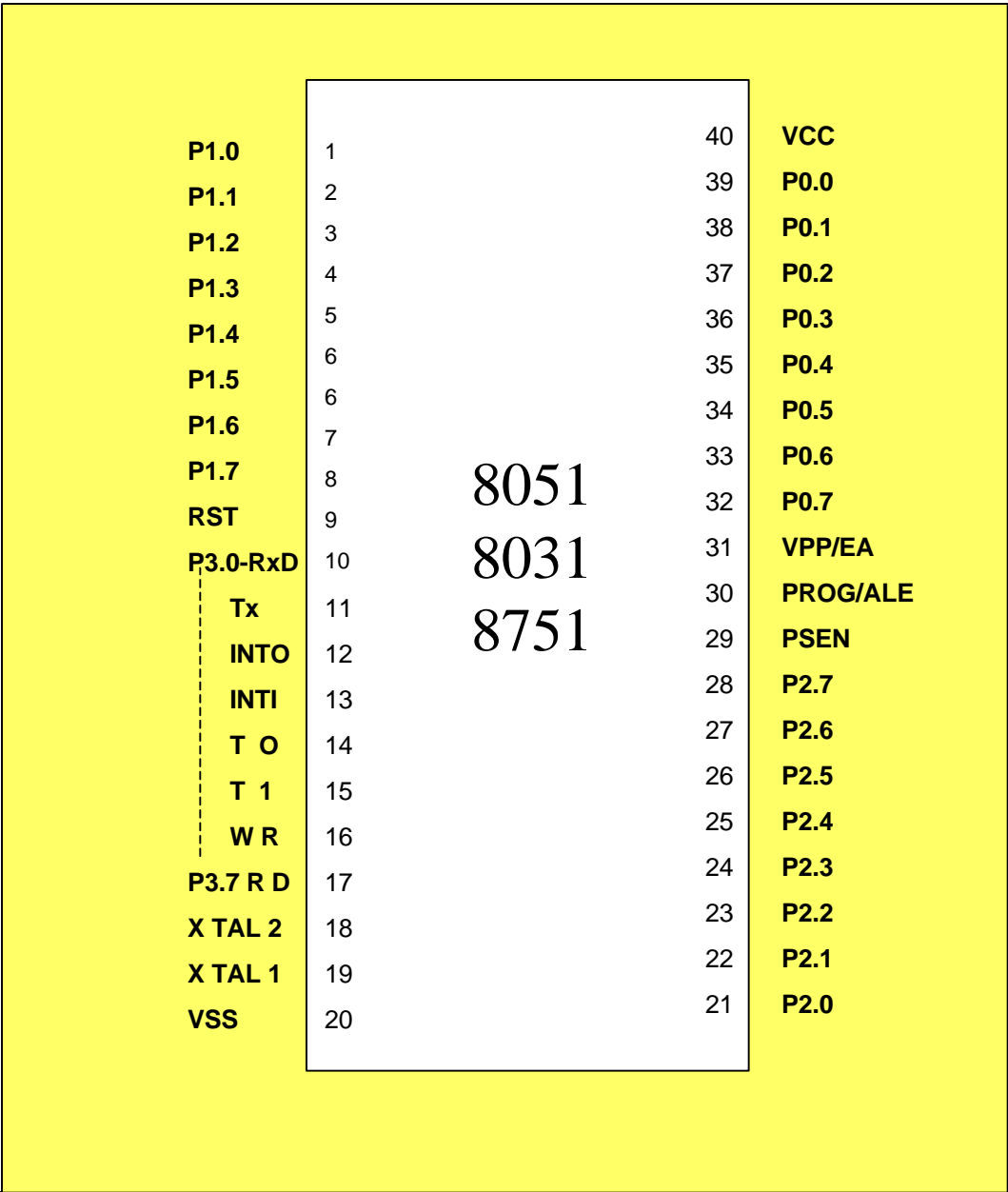
FAMILIA DEL 8051			
	ROM	S-EPROM	E PROM
4K	8051	8031	87C51
8K	8052	8032	
4K	83C451	80C451	87C451
8K	83C552	83C552	83C552
8K	83C652	83C652	83C652
2K	83C751		83C751
2K	83C752		83C752

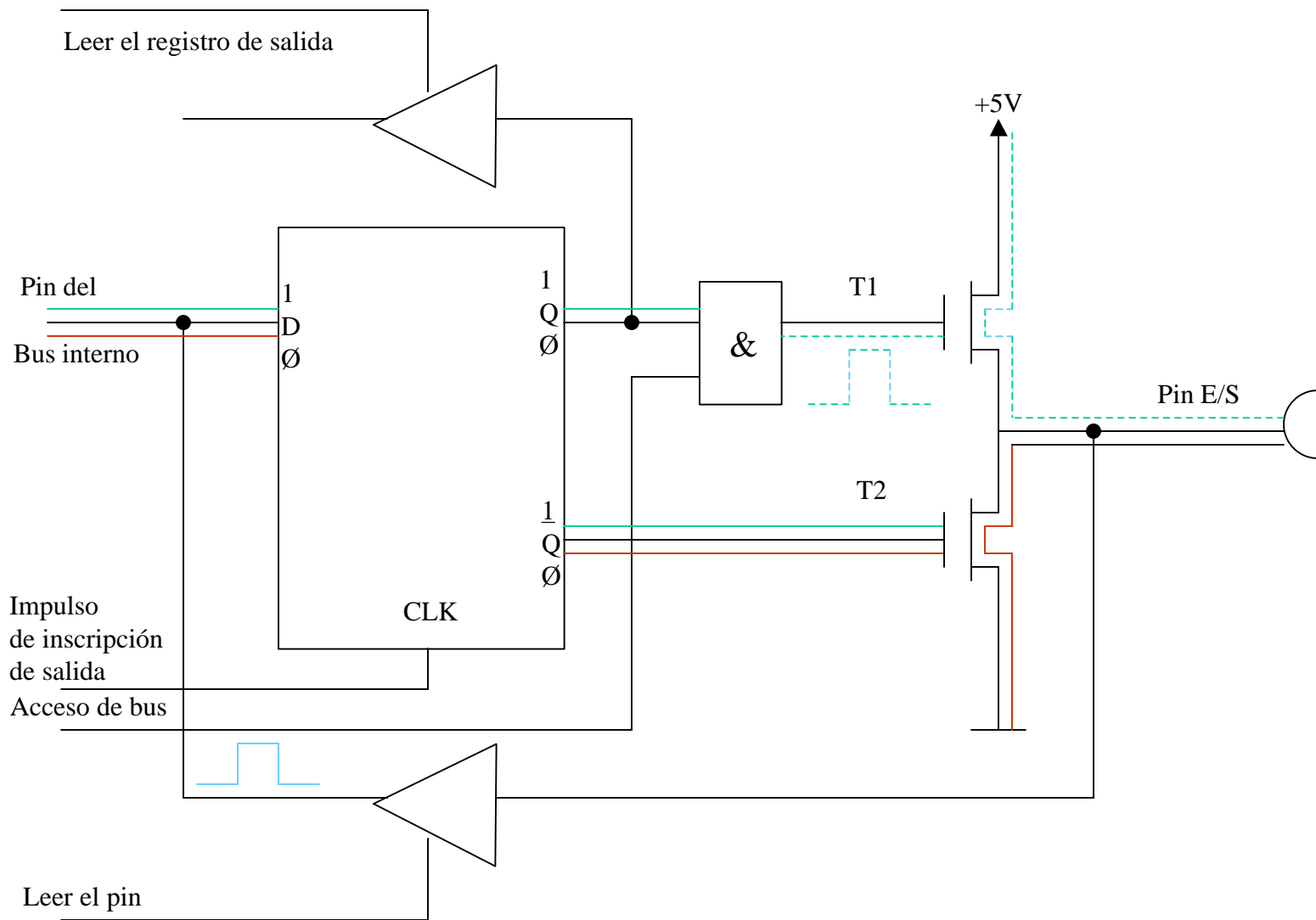


NOTES:
 P0-P3 for 8051, 8052, 8XC652, 8XC528, 8XC52, 8XC654, 8XCL410, 8XC551
 P0-P5 for 8XC552, 8XC562, 8XC592
 P0-P6 for 8XC451
 Part of P0, AND P1, P3 for 8XC751 and 8XC752

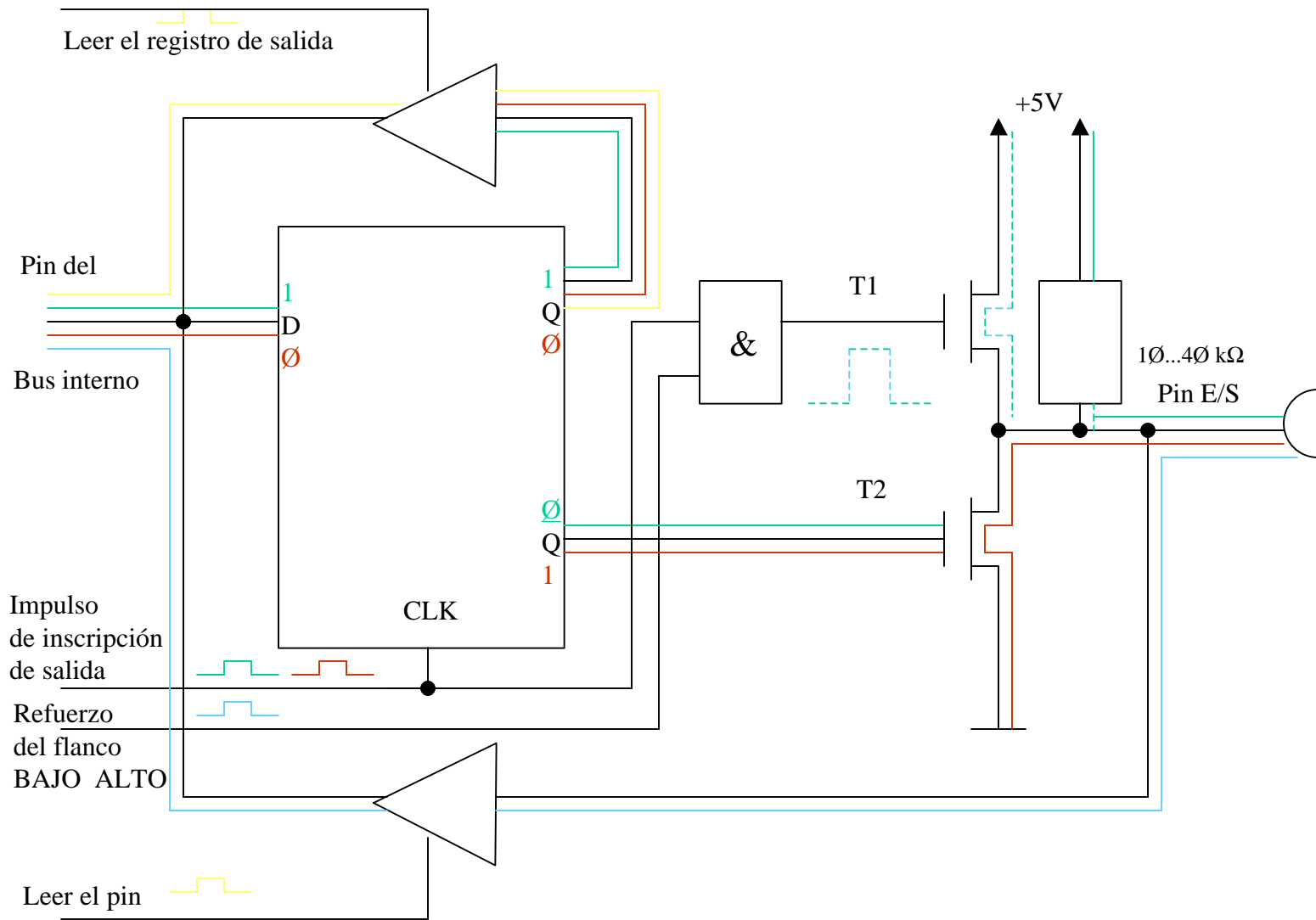
CARACTERISTICAS DEL μ C-8051

- * UN CPU DE 8 BITS**
- * CAPACIDAD DE PROCESAR LAS FUNCIONES**
- * BOOLEANAS POR BIT**
- * 32 LINEAS DE ENTRADA/SALIDA**
- * 128 BYTES DE MEMORIA RAM**
- * 2 CONTADORES/TEMPORIZADORES DE 16B**
- * UN UART FULL DUPLEX**
- * 5 ESTRUCTURAS DE INTERRUPCIÓN**
- * UN OSCILADOR INTEGRADO**
- * 64KB DE ESPACIO DE PROGRAMA**
- * 64KB DE ESPACIO DE DATOS**
- * 4KB EN ROM (SOLO EN EL 8051)**

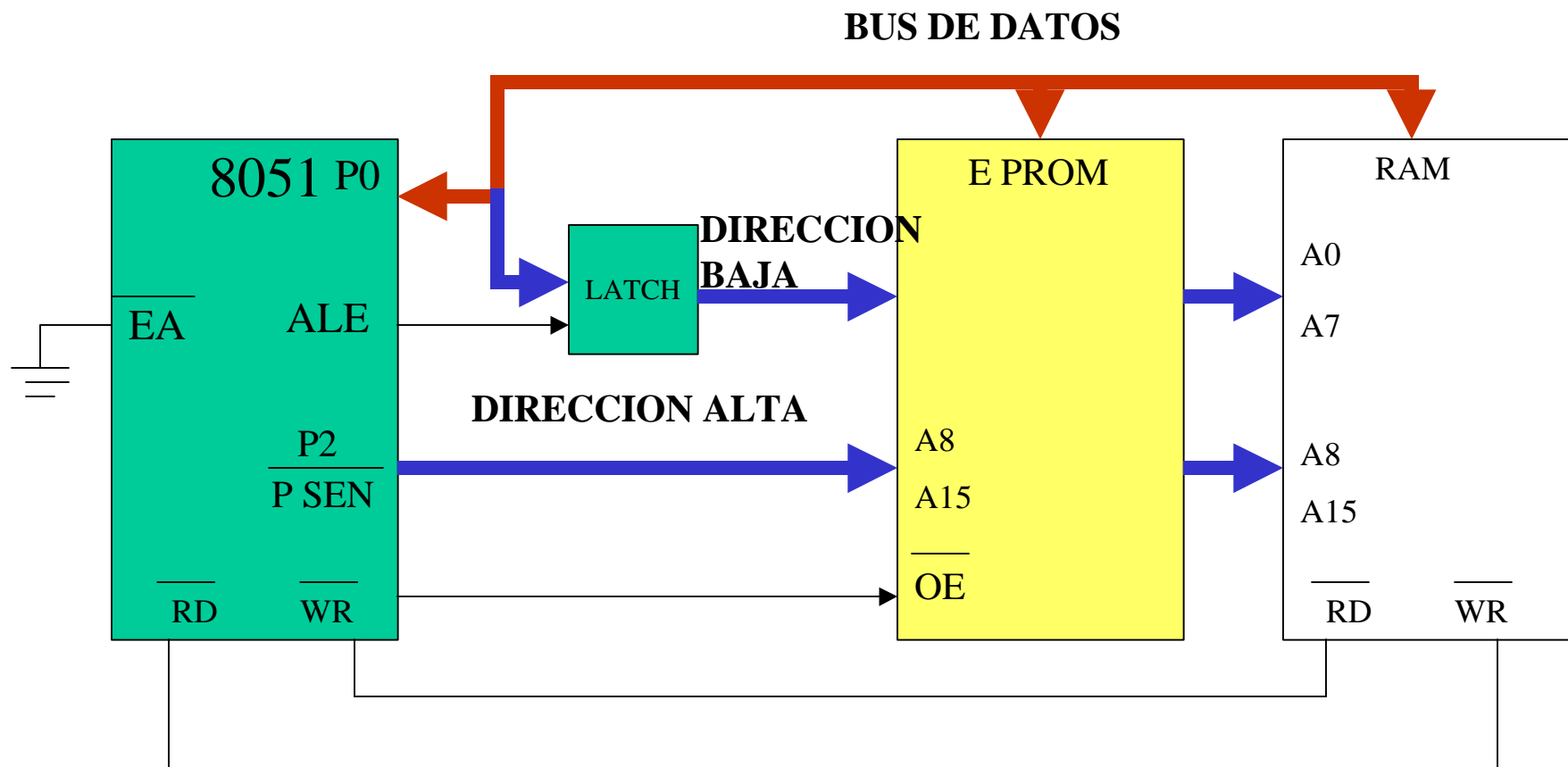




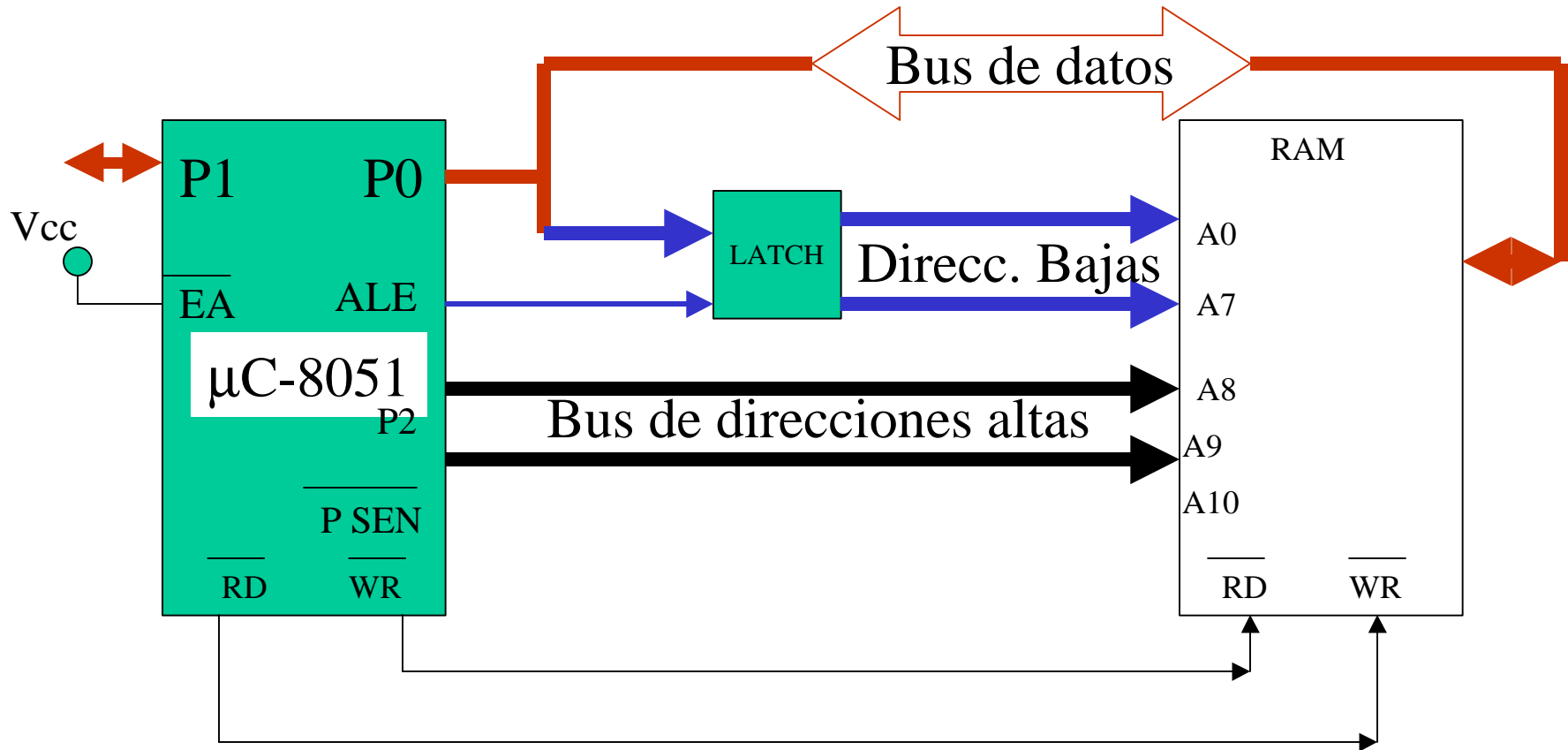
Circuito de salida de la puerta bidireccional Ø (esquema)



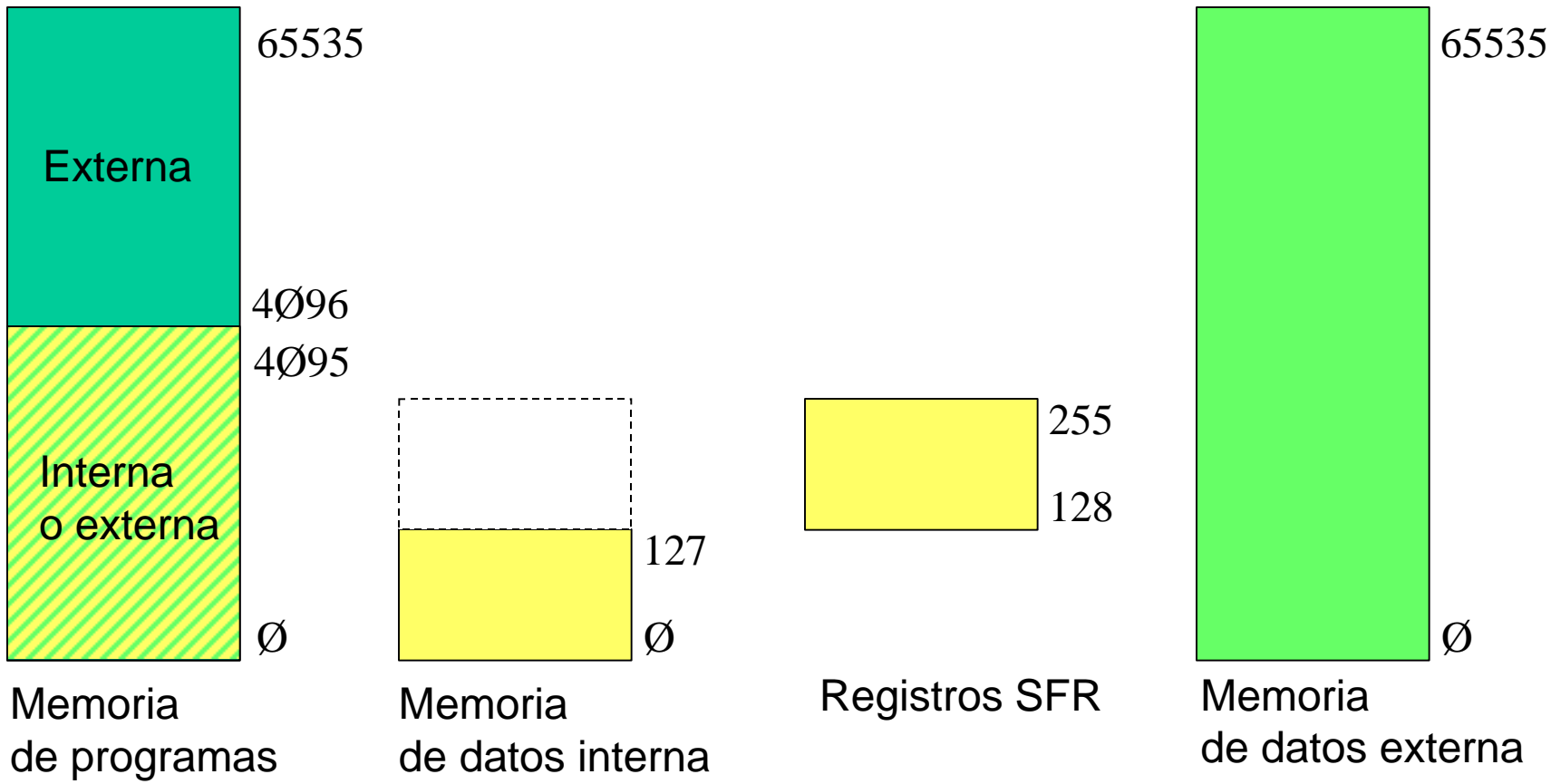
Circuito de salida de las puertas cuasibidireccionales 1, 2, 3, (esquema)



EJECUTANDO PROGRAMAS EXTERNOS



Relación de áreas de almacenamiento en el μ P 8051



MODOS DE DIRECCIONAMIENTO DEL MICROPROCESADOR 8051.

- a) **DIRECCIONAMIENTO INMEDIATO**
- b) **DIRECCIONAMIENTO DIRECTO**
- c) **DIRECCIONAMIENTO INDIRECTO**
- d) **DIRECCIONAMIENTO INDEXADO**
- e) **DIRECCIONAMIENTO POR REGISTRO**
- f) **DIRECCIONAMIENTO POR BIT**

DIRECCIONAMIENTO INMEDIATO

EL VALOR DE UNA CONSTANTE SIGUE AL CODIGO DE OPERACIÓN EN LA MEMORIA DEL PROGRAMA.

MOV A, #64H ; *CARGA EL Acc CON 64hex*

MOV DPTR, #1234H ; *CARGA EL APUNTADOR*

ADD A, #120 ; *SUMA EL VALOR 120 decimal.*

DIRECCIONAMIENTO DIRECTO

EL OPERANDO ES ESPECIFICADO POR UNA DIRECCION DE 8 BITS EN DONDE SE ENCUENTRA EL DATO CON EL QUE SE DESEA HACER LA OPERACIÓN. (SOLO EN RAM int. Y SFR).

MOV A, 2EH ; *EL ACC. SE CARGA CON EL -DATO QUE SE ENCUENTRA EN LA DIREC. 2EH.*

MOV 3DH, 4EH

ADD A, 7FH

DIRECCIONAMIENTO INDIRECTO

SE UTILIZA UN REGISTRO EN DONDE SE ENCUENTRA LA DIRECCIÓN DEL DATO CON EL QUE SE DESEA REALIZAR LA OPERACIÓN.

SE UTILIZAN LOS REGISTROS **R0, R1 Y SP**, PARA EL DIRECCIONAMIENTO DE 8 BITS.

PARA LAS DIRECCIONES DE **16** BITS SE UTILIZA EL **DPTR**. TANTO RAM **int** COMO **ext**. PUEDEN SER DIRECCIONADAS INDIR.

ADD A, @R0 ; SUMA AL ACC EL DATO APUNTADO POR R0.

MOV A, @R1 ; CARGA EL ACC. CON DATO APUNTADO R0

MOVX @DPTR, A ; CARGA ACC EN MEM. RAM EXTERNA

MOVX A, @R0

DIRECCIONAMIENTO POR REGISTRO

SON LAS INSTRUCCIONES QUE UTILIZAN CUALQUIERA DE LOS REGISTROS, PARA REALIZAR LA OPERACIÓN.

ADD A, R5

MOV R7, A

TRANSFERENCIA DE DATOS

RAM INTERNA

	
MOV <Destino>, <fuente>	
MOV A, <fuente>	; A ← <fuente>.
MOV <Destino> A	; <Destino> ← A.
MOV DPTR, #DATO	; DPTR ← 16 bits.
PUSH <fuente>	; INC SP, <@SP> <--f.
POP <Dest>	; <Dest> <- @SP>, DEC SP.
XCH A; <byte>	; ACC <--> <byte>.
XCHD A, @R1	; ACC <--> @R1 NIBBLES BAJOS.

DIRECCIONAMIENTO DE TABLAS

RAM EXTERNA

MOVX A, @R1 ; $A \leftarrow \langle @Ri \rangle$.

MOVX @R1, A ; $\langle @Ri \rangle \leftarrow A$.

MOVX A, @DPTR ; $A \leftarrow \langle @DPTR \rangle$

MOVX @DPTR, A ; $\langle @DPTR \rangle \leftarrow A$

MEMORIA DEL PROGRAMA

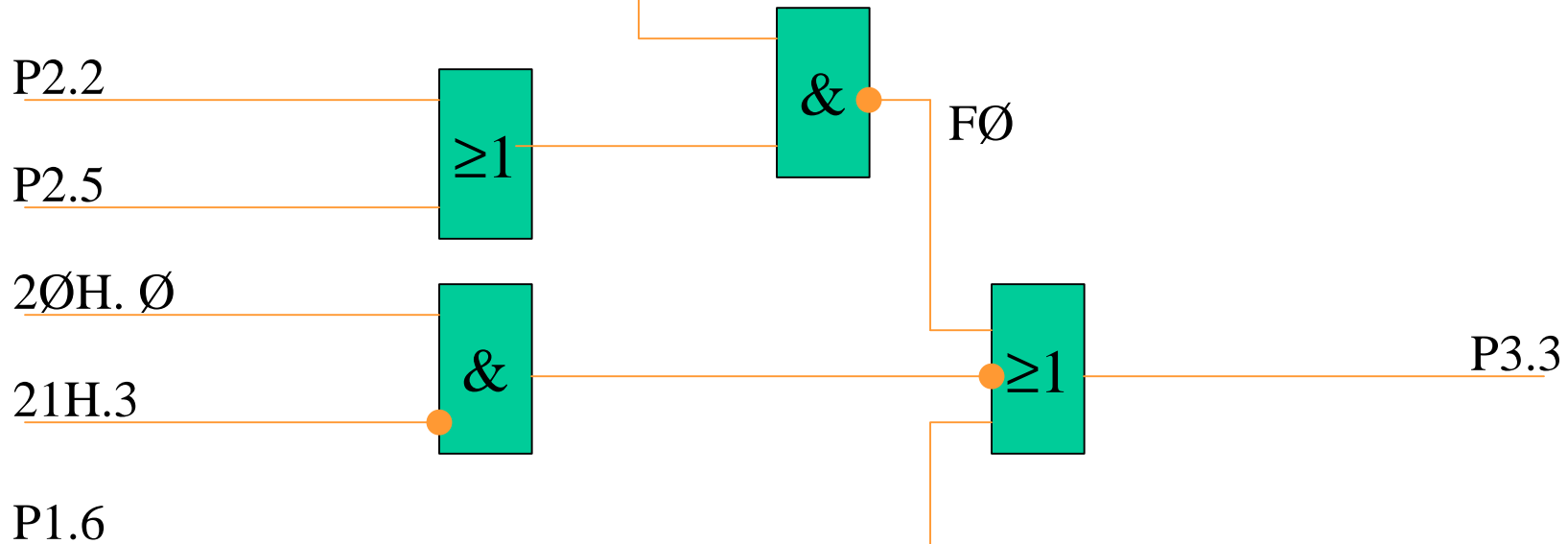
MOVC A, @A+DPTR

MOVC A, @A+PC

INSTRUCCIONES BOOLEANAS

ANL C, bit	<i>; C <-- C. AND. Bit</i>
ANL C, /bit	<i>; C <-- C. AND. NOT.bit</i>
ORL C, bit	<i>; C <-- C. OR. Bit</i>
ORL C, /bit	<i>; C <-- C. OR..NOT. Bit</i>
MOV C, bit	<i>; C <-- bit</i>
CLR C	<i>; C <-- 0</i>
CLR bit	<i>; bit <--0</i>
SETB C	<i>; C <--1</i>
SETB bit	<i>; bit <--1</i>
CPL C	<i>; C <-- NOT.C</i>
CPL bit	<i>; BIT <-- NOT.bit</i>
JC REL	<i>; SI C=1 BRINCA A REL.</i>
JB bit, REL	<i>; SI bit=1, BRINCA A REL.</i>
JBC bit, REL	<i>; SI bit=1, BRINCA Y LIMPIA</i>

P1.1 Ejemplo del Procesador booleano $\mu\text{C-8051}$



MOV	C,P2.2	<i>;Introducir P2.2 en el acarreo</i>
ORL	C,P2.5	<i>;Relación O con P2.5</i>
ANL	C,P1.1	<i>;Relación Y con P1.1</i>
CPL	C	<i>;Invertir el resultado</i>
MOV	F0, C	<i>; Almacenar transitoriamente el resultado</i>
MOV	C,20H.0	<i>;Introducir el bit 20H.0 en el acarreo</i>
ANL	C,/21H.3	<i>;Relación Y con el bit 21H.3 invertido</i>
ORL	C,F0	<i>;Relación O con el bit F0</i>
ORL	C,/P1.6	<i>;Relación O con el bit P1.6 invertido</i>
MOV	P3.3, C	<i>;Transferir a P3.3 el resultado final</i>

REGISTROS INTERNOS DE CONTROL DEL 8051

PSW (Palabra del estado del programa)

CY	AC	F0	RS1	RS0	OV	-	P
----	----	----	-----	-----	----	---	---

CY	PSW.7	ACARREO
AC	PSW.6	ACARREO AUX.
FO	PSW.5	USOS GENERALES
RS1	PSW.4	SEL 1 DEL B. DE REG.
RS0	PSW.3	SEL 0. DEL B. DE REG.
OV	PSW.2	OVERFLOW
-	PSW.1	INDEFINIDA
P	PSW.0	PARIDAD*

Si el #'s de bits en el Acc = 1, es Impar P=1, sino P=0

PCON (CONTROL DE POTENCIA)

SMOD	-	-	-	GF1	GF0	PD	IDL
------	---	---	---	-----	-----	----	-----

SMOD Dobra el baud rate en la Transmisión serial cuando se utiliza el timer 1

GF1 Propósitos generales

GF2 Propósitos generales

PD Bajo consumo de energía

80C51BH

IDL Bajo consumo de energía

CMOS

IE REG. HABILITADOR DE INTERRUPCIONES

EA	-	ET2	ES	ET1	EX1	ET0	EX0
EA	IE.7						DESACTIVA INTER.
ET2	IE.5						PERMITE INT. DEL TIMER2
ES	IE.4						PERMITE INT. PTO. SERIAL
ET1	IE.3						PERMITE INT. DEL TIMER1
EX1	IE.2						PERMITE INTER EXTER.1
ET0	IE.1						PERMITE INT. DEL TIMER0
EX0	IE.0						PERMITE INTER. EXTER.0

IP REGISTRO DE PRIORIDAD DE INTERRUPCIONES

-	-	PT2	PS	PT1	PX1	PT0	PX0
PT2	IP.5						ALTA PRIORIDAD PARA T2
PS	IP.4						ALTA PRIORIDAD INTERSERIAL
PT1	IP.3						ALTA PRIORIDAD PARA T1
PX1	IP.2						ALTA PRIORIDAD PARA INT 1
PT0	IP.1						ALTA PRIORIDAD PARA T0
PX0	IP.0						ALTA PRIORIDAD PARA INT 0

TCON REGISTRO DE CONTROL DE
TEMPORIZADORES Y CONTADORES

TF1	TR1	TF0	TRO	IE1	IT1	IE0	IE1
------------	------------	------------	------------	------------	------------	------------	------------

TF1	TCON.7	Sobreflujo del Timer 1
TR1	TCON.6	Bit de arranque Timer1
TF0	TCON.5	Sobreflujo del Timer0
TR0	TCON.4	Bit de arranque Timer0
IE1	TCON.3	Bit de Transición de INT1
IT1	TCON.2	Control del modo de control de la INT1
IE1	TCON.1	Bit de Transición de INT0
IT0	TCON.0	Control del modo de control de la INT0